

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012707

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

H01L 21/8246

H01L 27/112

G11C 17/08

(21)Application number : 10-179282

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 25.06.1998

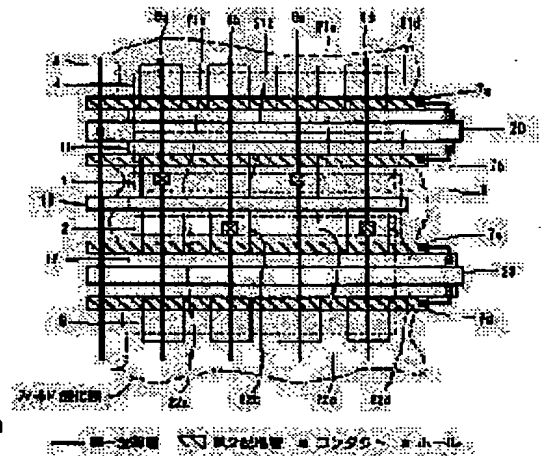
(72)Inventor : MATSUDA HIROMITSU

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage device which can be worked easily, integrated at high density, and has less leakage current.

SOLUTION: In a semiconductor storage device, a polysilicon 13 held between the drain diffused region 21 of a storage element row 1 and the drain diffused region 22 of another storage element row 2 is connected to a power source through a power supply wiring layer 8. A cell row 3, having the polysilicon 13 in its gate terminal commonly uses a source and drain with the drain diffused regions 21 and 22 of the storage element rows 1 and 2. Therefore, the working of the storage device is facilitated by eliminating the need for a field oxide film having a complicated constitution, and in addition, it can be integrated at a high density by reducing the occupancy areas of storage elements by making the regions of the diffusion layers smaller. Moreover, excess current consumption can be eliminated, because the possibility of leakage current occurring to the substrate becomes smaller.



LEGAL STATUS

[Date of request for examination]

20.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-12707

(P2000-12707A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.	識別記号	F I	テマコード (参考)	
H 0 1 L 21/8246		H 0 1 L 27/10	4 3 3	5 B 0 0 3
	27/112	G 1 1 C 17/00	3 0 1 A	5 F 0 8 3
G 1 1 C 17/08				

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平10-179282
(22) 出願日 平成10年6月25日 (1998. 6. 25)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿 2 丁目 4 番 1 号
(72) 発明者 松田 裕充
長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
(74) 代理人 100093388
弁理士 鈴木 喜三郎 (外 2 名)
F ターム (参考) 5B003 AA05 AB01 AC02 AC08 AD01
5F083 CR01 GA06 KA16 LA18 LA21

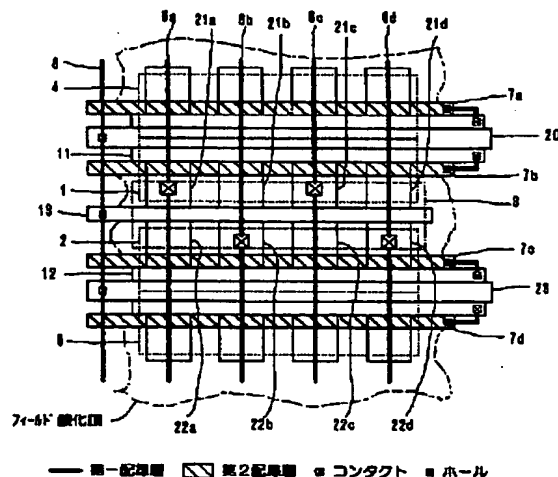
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】加工が容易で、かつ請う集積の可能な、漏電電流の少ない半導体記憶装置を提供すること。

【解決手段】記憶素子列1のドレイン拡散領域2 1と記憶素子列2ドレイン拡散領域2 2に挟まれたポリシリコン1 3は電源配線層8によりVSSへ接続されている。またポリシリコン1 3をゲート端子に持ったセル列3は、ソースとドレインを、記憶素子列1のドレイン拡散領域2 1と、記憶素子列2のドレイン拡散領域2 2と共有している。

【効果】複雑な構成のフィールド酸化膜を排除し、加工が容易になる。また、拡散層の領域を小さくして記憶素子の占有面積を縮小し、高密度の集積が可能になる。さらに、基板との漏電電流の可能性が少なくなり、余分な消費電流を低減する。



【特許請求の範囲】

【請求項1】第1の記憶素子である第1のMOS型半導体と、第2の記憶素子である第2のMOS型半導体と、ゲート端子をソース電位に接続してデータの導通を遮断する手段を持つ第3のMOS型半導体と、を有し、第3のMOS型半導体のゲート端子を除く2つの端子が第1のMOS型半導体と第2のMOS型半導体のドレイン端子にそれぞれ接続されたことを特徴とする半導体記憶装置。

【請求項2】請求項1記載の半導体記憶装置において、第1のMOS型半導体のドレインと第3のMOS型半導体のソースまたはドレインとが接続され、第2のMOS型半導体のドレインと第3のMOS型半導体のソースまたはドレインとが接続された回路が、第1の方向、及び第1の方向と直交する第2の方向に沿って複数配列されたことを特徴とする半導体記憶装置。

【請求項3】半導体基板上にて、第1の方向に沿って設けられた複数のMOS型半導体から記憶素子列が構成され、前記第1の方向と直交する第2の方向に沿ってソース電極が共通になるように対象に配列された1対の記憶素子列と、前記第1の方向に沿って設けられた複数のMOS型半導体からセル列が構成され、ゲート端子がソース電位と接続されたデータを遮断する手段を持つセル列と、前記記憶素子列のゲート端子と接続される前記第1の方向に沿って配線された第1の配線層と、前記記憶素子列のドレイン端子からデータを抽出する事が可能な前記第2の方向に沿って配線された第2の配線層と、を有することを特徴とする半導体記憶装置。

【請求項4】請求項3記載の半導体記憶装置において、前記1対の記憶素子列、前記セル列を、その順で交互に前記第2の方向に沿って複数配列したことを特徴とする半導体記憶装置。

【請求項5】請求項4記載の半導体記憶装置において、前記第2の方向に沿って交互に配列された前記1対の記憶素子列と、前記セル列の隣り合うチャンネルが共通のチャンネルで構成されたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置の記憶素子に関する。

【0002】

【従来の技術】従来の読み出し専用の半導体記憶装置は、記憶素子を構成するMOS型半導体のドレイン拡散層と、拡散層の上層に配置される配線層とをコンタクトで接続するか否かによってデータのプログラミングを行い、隣り合う記憶素子間にフィールド酸化膜を配置させることによって各々のデータを分離していた。

【0003】この従来の読み出し専用半導体記憶装置の記憶素子列を図5に示す。

【0004】記憶素子11と記憶素子12は同一のソー

ス拡散領域41、及び独立したドレイン拡散領域51、52、さらにゲートポリシリコン61、62で構成されたMOS型半導体である。記憶素子11及び記憶素子12を第1の方向Aに複数配置することによって記憶素子列100を構成している。記憶素子列100中にある8つの記憶素子は全て同一のソース拡散領域41を持ち、ドレイン拡散領域は各々で個別に持ち、ゲートポリシリコン61、62は上下の記憶素子同士で共通となっている。この記憶素子列100は第2の方向Bに沿って複数配置されている。第1の方向に沿って配線された配線層71〜74はゲートポリシリコン61〜64に、コンタクト、第一の配線層、ホール、第1の配線層の上層の第2の配線層、の順に接続され、記憶素子の選択、非選択の信号を送る。第2の方向に沿って配線された第2の配線層81〜84は第1層の配線層によりコンタクトの配置してあるドレイン拡散領域と接続し、配線層71〜74によって制御された記憶素子のデータを出力する。これら拡散領域はフィールド酸化膜に囲まれている。

【0005】同図に示すように、記憶素子12と記憶素子19のドレイン拡散領域の間にフィールド酸化膜領域があり、各々のドレイン拡散領域を独立して配置させる事により記憶素子11と記憶素子12の様に隣り合う記憶素子のデータは分離されていた。

【0006】

【発明が解決しようとする課題】しかしながら、図5に示す読み出し専用半導体装置は、レイアウトの形状が複雑になる構造をしており、製造工程において加工することが困難であった。

【0007】図6に示すように、三方向をフィールド酸化膜に囲まれた拡散領域52の様な部分は、複雑な形状のフィールド酸化膜の形成が困難であることから、後工程の拡散層形成がうまく形成できなくなる。特にコンタクトの周りの拡散領域が小さくなり、コンタクトからフィールド酸化膜までの距離aが短くなるので、コンタクトが基板へつながってしまい、コンタクトから基板への漏電電流が大きかった。

【0008】また、漏電電流の消費量を小さくするために拡散領域を大きくすると、記憶素子の微細化が困難となり近年の高集積化に反していた。

【0009】そこで、本発明の目的とするところは、隣り合う記憶素子のドレイン間のフィールド酸化膜領域にソース電位に接続されたポリシリコンを包含することで、拡散のフィールド酸化膜に囲まれる領域を減らし、製造工程においての加工を容易にした半導体記憶装置を提供することにある。

【0010】本発明の他の目的は、データを隔離するための記憶素子のドレイン間のフィールド酸化膜領域を、ゲートにソース電位を供給したMOS型半導体で代行することにより、記憶素子のドレインの拡散領域を狭くし高密度の記憶素子の配置が可能な半導体記憶装置を提供

することにある。

【0011】さらに本発明の目的は、コンタクトとフィールド酸化膜間の漏電消費電流の少ない半導体記憶装置を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体記憶装置は、第1の記憶素子である第1のMOS型半導体と、第2の記憶素子である第2のMOS型半導体と、ゲート端子をソース電位に接続してデータの導通を遮断する手段を持つ第3のMOS型半導体と、を有し、第3のMOS型半導体のゲート端子を除く2つの端子が第1のMOS型半導体と第2のMOS型半導体のドレイン端子にそれぞれ接続されたことを特徴とする。

【0013】また本発明の半導体記憶装置は、半導体基板上にて、第1の方向に沿って設けられた複数のMOS型半導体から記憶素子列が構成され、前記第1の方向と直交する第2の方向に沿ってソース電極が共通になるように対象に配列された1対の記憶素子列と、前記第1の方向に沿って設けられた複数のMOS型半導体からセル列が構成され、ゲート端子がソース電位と接続されたデータを遮断する手段を持つセル列と、前記記憶素子列のゲート端子と接続される前記第1の方向に沿って配線された第1の配線層と、前記記憶素子列のドレイン端子からデータを抽出する事が可能な前記第2の方向に沿って配線された第2の配線層と、を有することを特徴とする。

【0014】さらに本発明の半導体記憶装置は、前記第2の方向に沿って交互に配列された前記1対の記憶素子列と、前記セル列の隣り合うチャンネルが共通のチャンネルで構成されたことを特徴とする。

【0015】

【発明の実施の形態】(第1実施例)図3は、本発明の半導体記憶装置の第1実施例である。同図において、NチャンネルのMOS型半導体1及び2はソース端子がVSSに接続されている。NチャンネルのMOS型半導体3はゲート端子がVSSに接続され、ドレイン端子とソース端子は、MOS型半導体1と2のドレインに接続され、MOS型半導体1と2に挟まれるように接続されている。尚、図3は半導体記憶装置の記憶素子の一部を表わしており、MOS型半導体1と2は各々1つのデータを持つ記憶素子である。MOS型半導体1と2のゲート端子にはそれぞれデータの読み出し命令の信号を受け取るワード線が接続され、例えばワード線7aによりMOS型半導体1のゲート端子にデータの読み出し信号である1が入力されると、MOS型半導体1は導通状態となり、信号0がMOS型半導体1のドレイン端子に現れる。MOS型半導体1のドレイン端子はビット線6が接続されているので、信号0はビット線6に出力される。ワード線7aによりMOS型半導体1のゲート端子に非読み出し信号の0が入力された場合は、MOS型半導体

1は遮断状態になるので、ドレイン端子には何も信号が現れず、ビット線6の出力信号はプルアップ線Pにより1となる。同様に、ワード線7bによりMOS型半導体2のゲート端子に読み出し信号の1が入力されると、MOS型半導体2は導通状態となり、信号0がMOS型半導体2のドレイン端子に現れる。しかしMOS型半導体2のドレイン端子はビット線6に接続されておらず開放状態であるので、ビット線6の出力信号はプルアップ線7により1となる。ワード線7bに非読み出し信号の0が入力されても、MOS型半導体2のドレイン端子には出力が現れないので、ビット線6の出力はプルアップ線7により1となる。このとき、MOS型半導体1とMOS型半導体2の各出力データ間での干渉が起こらぬよう、ゲート端子には同時に読み出し信号が入力されることにならないように制御してある。各記憶素子のデータの内容は、ソース端子がVSSに接続されたNチャネルMOS型半導体のドレイン端子とビット線を接続するか否かによって決まり、接続された場合は0を、開放されたときは1のデータを記憶していることとみなす。また、MOS型半導体1及び2はドレイン端子がMOS型半導体3に接続されているが、MOS型半導体3は常に遮断状態にあるので、MOS型半導体3はMOS型半導体1及び2の出力信号を切り離す役割を果たしている。

【0016】図3の半導体記憶装置は半導体基板上で、図4に示すような構造をしている。MOS型半導体1、2および3のゲート端子となるポリシリコン11~13は同図のように配置されており、各ポリシリコンを挟むようにNチャネルの拡散領域20~23が配置されている。拡散領域20~23の周りはフィールド酸化膜で囲まれている。MOS型半導体1のソースとなる拡散領域20と、MOS型半導体2のソースとなる23と、ポリシリコン13はコンタクトによって第1層の電源配線層8でVSSと接続されている。拡散領域21はコンタクトにより第1層の配線層ビット線6と接続され、データ0を記憶しているMOS型半導体1のドレインとなっている。ポリシリコン11は、第2層の配線層ワード線7aと、ポリシリコン12は第2層の配線層ワード線7bとホール、第1層の配線層、及びコンタクトによって接続されている。

【0017】図4の様に、従来MOS型半導体1と2の間にあった、データの切り離しをしていたフィールド酸化膜領域に、ポリシリコン13を配置することにより、フィールド酸化膜の形成が容易になり、拡散領域の形状に及ぼす影響が少なくなった。よって、コンタクトからフィールド酸化膜までの距離aを短くすることが可能となった。

【0018】また、MOS型半導体1のドレインの拡散領域21と、MOS型半導体2のドレインの拡散領域22を、MOS型半導体3のドレイン及びソースと共有することで、3つのMOS型半導体を有しているにも関わ

らず、2つ分のMOS型半導体の占有面積で実現している。

【0019】(第2実施例) 本発明第2の実施例を図1に示す。同図は図4に示した半導体記憶装置を複数アレイしたもので、説明の便宜上、横方向に4つ並べたものを中心に、上下に記憶素子を1列づつ配置したものを表わしている。

【0020】記憶素子列1の上辺にソースの拡散領域を共有した記憶素子列3が配置されている。記憶素子列1と記憶素子列3はソース拡散領域を中心に対象に配置された形となっている。同様に記憶素子列2の下辺にもソース拡散領域を共有し、そのソース拡散領域を中心とした対称の位置に記憶素子列4が配置されている。ポリシリコン11と13、ポリシリコン12と13の間に拡散領域とフィールド酸化膜がマス目状に配置されている。ソースとなる拡散領域20と23、ポリシリコン13はコンタクトによって第1層の電源配線層8でVSSと接続されている。拡散領域21a、21c、22b、22dは、コンタクトにより第1層の配線層ビット線6a、6b、6c、6dとそれぞれ接続され、データ0を記憶したドレイン拡散領域である。拡散領域21b、21d、22a、22cは、データ1を保有したドレイン拡散領域である。記憶素子列3及び4は全てデータ1を保有している。ポリシリコン11、12、13、14は、第2層の配線層、ホール、第1層の配線層で構成されたワード線7a、7b、7c、7dとコンタクトによって接続されている。さらに、これら拡散層はフィールド酸化膜に囲まれている。

【0021】図1のように3方向フィールド酸化膜に囲まれた拡散層がなくなることにより、従来加工時に問題となっていたフィールド酸化膜の形状が拡散層の形成に及ぼす影響が大幅に減少した。図1に示した半導体記憶装置の加工後の様子を図2に示す。拡散層の周りを囲むフィールド酸化膜が3方向から2方向になったことにより、フィールド酸化膜は図1の形状に近い加工がされるようになった。よって3方向囲まれていたときに比べ、加工後の拡散層の領域はあまり小さくならずにすむ。特に、コンタクトとフィールド酸化膜までの余裕を大きく取る必要がなくなり、拡散層の領域を小さくできるので上下のセル間が縮められ面積を小さくできる。

【0022】また、基板とコンタクト間での漏電電流の流れる可能性も少なくなり、余分な漏電電流の消費量が少なくなる。消費電力の小さい半導体記憶装置を実現することが可能となった。

【0023】

【発明の効果】以上述べたように本発明の半導体記憶装置によれば、複雑な構成のフィールド酸化膜を排除し、加工が容易になるという効果がある。

【0024】また、拡散層の領域を小さくして記憶素子の占有面積を縮小し、高密度の集積が可能になるという効果がある。

【0025】さらに、基板との漏電電流の可能性が少なくなり、余分な消費電流を低減するという効果がある。

【図面の簡単な説明】

【図1】本発明の第2実施例を示す半導体記憶装置の基板上での構成図。

【図2】本発明の第2の実施例に関わる半導体記憶装置の加工図。

【図3】本発明の第1の実施例を示す半導体記憶装置の構成図。

【図4】本発明の第1の実施例を示す半導体記憶装置の基板上での構成図。

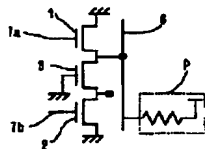
【図5】従来例を示す半導体記憶装置の基板上での構成図。

【図6】従来例を示す半導体記憶装置の加工図。

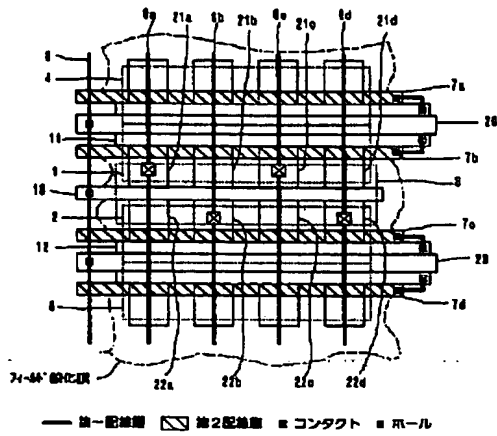
【符号の説明】

- 1、2、4、5、100、101、102、103・・・記憶素子または記憶素子列
- 3・・・セルまたはセル列
- 6、6a、6b、6c、6d・・・ビット線
- 7a、7b、7c、7d・・・ワード線
- 8・・・電源配線
- 11、12、13、301、302、303、304・・・ポリシリコン
- 20、21、22、23、21a、21b、21c、21d、22a、22b、22c、22d、201、202・・・拡散領域
- P・・・プルアップ線
- a・・・コンタクト、フィールド酸化膜間

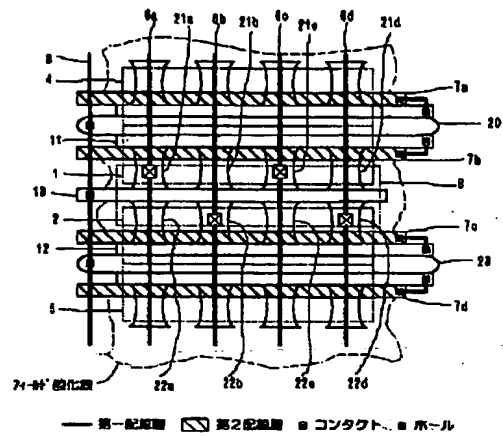
【図3】



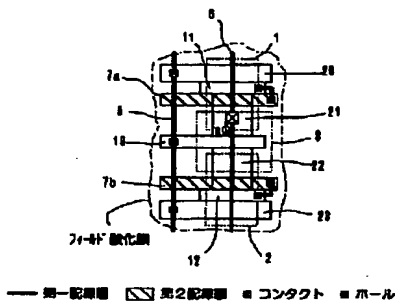
【図1】



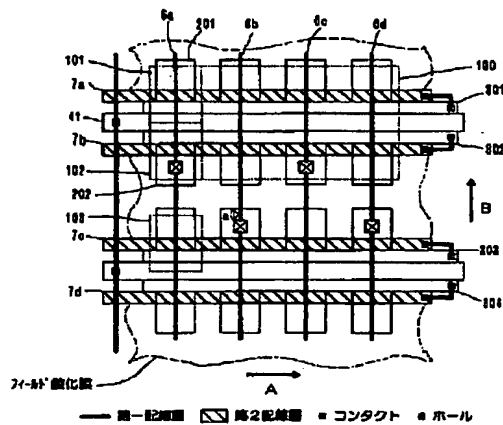
【図2】



【図4】



【図5】



【図6】